



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04083345 A**(43) Date of publication of application: **17.03.92**

(51) Int. Cl.

H01L 21/331**H01L 29/205****H01L 29/73**(21) Application number: **02197102**(71) Applicant: **NEC CORP**(22) Date of filing: **25.07.90**(72) Inventor: **SHIMAWAKI HIDENORI****(54) BIPOLAR TRANSISTOR AND ITS MANUFACTURE**

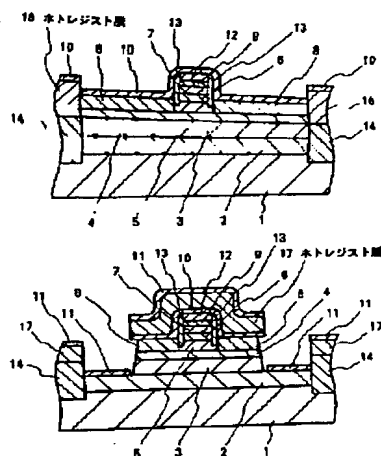
(57) Abstract:

PURPOSE: To reduce a base resistance remarkably by constituting a p-type base layer from III-V compound semiconductor having at least one of Ga, Al, In as group III elements and at least one of As, P as group V elements and by having a contact layer composed of C dope GaAs between the base layer and base electrode.

CONSTITUTION: After SiO_2 film 13 is formed in front, the film is removed by reactivity ion beam etching using CF_4 for etching gas so that a side wall composed of SiO_2 film 13 is formed on side faces of n-GaAs layer 7, m- $\text{Al}_x\text{Ga}_{1-x}\text{As}$ layer 6 and n- $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ layer 5. This thin n- $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ layer 5 prevents the sheet resistance of a base layer from locally increasing in the lower part of the SiO_2 film 13. Then, SiO_2 films 12 and 13 are used as masks and n- $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ layer 5 is removed by etching and after p-GaAs layer 4 surface is exposed, p-GaAs layer 8 is selectively formed on the p-GaAs layer 4 at 450°C epitaxy temperature. Subsequently, after the p-GaAs layers 8 and 4 on an insulating region 14 are successively removed by

etching, a photoresist film 16 is formed and further TiPtAu layer 10 is vapor-deposited from above.

COPYRIGHT: (C)1992,JPO&Japio



⑫ 公開特許公報(A)

平4-83345

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月17日

H 01 L 21/331
29/205
29/73

7735-4M

7735-4M H 01 L 29/72

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 バイポーラトランジスタおよびその製造方法

⑯ 特 願 平2-197102

⑰ 出 願 平2(1990)7月25日

⑱ 発 明 者 嶋 脇 秀 徳 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

バイポーラトランジスタおよびその製造方法

特許請求の範囲

(1) 半絶縁性基板上にコレクタ層、ベース層およびエミッタ層(もしくはエミッタ層、ベース層、コレクタ層)が順次形成されたバイポーラトランジスタにおいて、p型ベース層が、Ⅲ族元素としてGa, Al, Inの少なくとも一種、Ⅴ族元素としてAs, Pの中の少なくとも一種を有するⅢ-Ⅴ族化合物半導体からなり、ベース電極との間に前記ベース層と同等もしくは前記ベース層よりも大なる正孔濃度を有するCドープGaAsからなるコンタクト層を有することを特徴とするバイポーラトランジスタ。

(2) 半絶縁性基板上に第1導電型の第1の半導体層、第2導電型の第2の半導体層および第1導電型の第3の半導体層を順次積層させる工程と、前記第3の半導体層上に第1の絶縁体からなる所定のパターンのマスクを形成する工程と、前記マスクを用いて前

記第3の半導体層をエッチングにより所定の厚さになるまで除去した後、第2の絶縁体からなる側壁を形成する工程と、前記第1および第2の絶縁体をマスクとして、前記第3の半導体層、もしくは前記第3の半導体層および前記第2の半導体層の一部、をエッチングにより除去した後、少なくとも原料ガスの一つに有機Ⅲ族元素原料を含む分子線エビタキシー法により、前記第2の半導体層上に第2導電型の第4の半導体層を選択的に形成する工程とを含むことを特徴とするバイポーラトランジスタの製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明はバイポーラトランジスタおよびその製造方法に関する。

(従来技術)

バイポーラトランジスタは電界効果トランジスタに比べて電流駆動能力が大きいという優れた特徴を有している。このため、近年、SiのみならずGaAsなどの化合物半導体を用いたバイポーラト

ンジスタの研究開発が盛んに行われている。特に、化合物半導体を用いたバイポーラトランジスタは、エミッタ・ベース接合をヘテロ接合に構成でき、ベースを高濃度にしてもエミッタ注入効率を大きく保てるなど利点は大きい。

第3図は従来のバイポーラトランジスタの構造を説明するための半導体チップの断面図である。

この半導体チップは、GaAsからなる半絶縁性基板1と、n-GaAsからなるコレクタ層3と、p-GaAsからなるベース層4と、n-Al_{0.25}Ga_{0.75}Asからなるエミッタ層5と、AuGeNiからなるエミッタ電極9と、AuZnNiからなるベース電極18と、AuGeNiからなるコレクタ電極11とから構成されている。

通常、ベース層は、トランジスタを高速動作させるために厚さを70~100nm、p型不純物濃度を10¹⁹ cm⁻³台に設定することが多い。p型不純物としては、例えば分子線エピタキシー法(以降、MBE法と称す)によりベース層を形成する場合には、Beが用いられることが多い。第3図では、エミッタ・ベース接合部が階段接合型となっているが、この他に

た後、エッチングによりp-GaAs層4とn-GaAs層3の表面を除去し、さらにホトレジスト膜17をマスクとしてn-GaAs層3の表面にオーミック金属のAuGeNi層11を上方から蒸着する。

次に、有機溶剤中でホトレジスト膜17を溶かしリフトオフを行ってエミッタ電極を形成し、第3図に示すような構造のバイポーラトランジスタができる。

(発明が解決しようとする課題)

バイポーラトランジスタの遮断周波数 f_T および最大発振周波数 f_{max} は

$$f_T = \{2\pi(\tau_E + \tau_B + \tau_C + \tau_{CC})\}^{-1} \quad \dots\dots (1)$$

$$f_{max} = (f_T / 8\pi r_b C_{BC})^{1/2} \quad \dots\dots (2)$$

と表せる。(1)式において τ_E はエミッタ時定数、 τ_B はベース走行時間、 τ_C はコレクタ走行時間、 τ_{CC} はコレクタ時定数であり、(2)式において r_b はベース抵抗、 C_{BC} はベース・コレクタ間容量である。

(1)、(2)式より f_T を増大させるためには τ_B の低減が、また、 f_{max} を増大させるためには r_b の低減が有効であることがわかるが、ベース層厚についてみ

エミッタ・ベース接合部において、Al_xGa_{1-x}Asエミッタ層のAl組成xを徐々に変化させて傾斜接合型としたものもよく用いられる。

第4図(a)~(c)は、上述の従来のバイポーラトランジスタの製造方法を説明するための工程順に示した半導体チップの断面図である。

この従来例では、まず、第4図(a)に示すように、GaAsからなる半絶縁性基板1上にn-GaAs層3、p-GaAs層4およびn-Al_{0.25}Ga_{0.75}As層5を順次、MBE法により形成する。

次に第4図(b)に示すように、所定のパターンのAuGeNiからなるエミッタ電極9およびその上のSiO₂膜12を形成した後、これをマスクとしてn-Al_{0.25}Ga_{0.75}As層5をエッチングして除去しp-GaAs層4を露出すると同時にエミッタ層を形成する。続いてSiO₂膜12をマスクとしてp-GaAs層4上にAuZnNi層18を自己整合的に形成する。

次に第4図(c)に示すように、所定のパターンのホトレジスト膜17を形成し、これをマスクとして、AuZnNi層18をエッチングしてベース電極を形成し

ればこの両者は相反する要求である。つまり、ベース層を薄くすることにより、 τ_B を低減し f_T を増大させた場合には、 r_b が増大して f_{max} が著しく劣化してしまうため、従来、 f_{max} を低下させずにベース層を~70nm以下の厚さにするのは非常に困難であった。

また、上述した従来例においては、n-Al_{0.25}Ga_{0.75}As層5をエッチングしてp-GaAs層4を露出することによりエミッタ層を形成する工程(ベース面出し工程)が非常に重要な工程の一つである。つまり、p-GaAs層4が十分に露出されない場合には、ベース層とベース電極との間のコンタクト抵抗が高く、そのためベース抵抗が高くなってしまふ。一方、p-GaAs層4をオーバーエッチングしてしまうと、ベース層が薄くなってしまい、これもまたベース抵抗を増大させる原因となる。従来、ベース抵抗を増大させずにベース面出し工程を行うことは非常に困難であった。さらに、ベース層が非常に薄くなった場合には、ベース電極金属18が拡

散してコレクタ層まで到達してしまうという問題も生じてくる。

本発明の目的は、このような問題点を解決し、 r_b を著しく低減して、それによってベース層厚を $\sim 70\text{nm}$ 以下に薄層化するのを可能とし、高速・高周波特性の著しく改善されたバイポーラトランジスタおよびその製造方法を提供することにある。

(課題を解決するための手段)

本発明は、半絶縁性基板上にコレクタ層、ベース層およびエミッタ層(もしくはエミッタ層、ベース層、コレクタ層)が順次形成されたバイポーラトランジスタにおいて、p型ベース層が、III族元素としてGa, Al, Inの少なくとも一種、V族元素としてAs, Pの中の少なくとも一種を有するIII-V族化合物半導体からなり、ベース電極との間に前記ベース層と同等もしくは前記ベース層よりも大なる正孔濃度を有するCドープGaAsからなるコンタクト層を有することを特徴としている。

また、本発明のバイポーラトランジスタの製造方法は、半絶縁性基板上に第1導電型の第1の半導

体層、第2導電型の第2の半導体層および第1導電型の第3の半導体層を順次積層させる工程と、前記第3の半導体層上に第1の絶縁体からなる所定のパターンのマスクを形成する工程と、前記マスクを用いて前記第3の半導体層をエッチングにより所定の厚さになるまで除去した後、第2の絶縁体からなる側壁を形成する工程と、前記第1および第2の絶縁体をマスクとして、前記第3の半導体層、もしくは前記第3の半導体層および前記第2の半導体層の一部、をエッチングにより除去した後、少なくとも原料ガスの一つに有機III族元素原料を含む分子線エビタキシー法により、前記第2の半導体層上に第2導電型の第4の半導体層を選択的に形成する工程とを含むことを特徴としている。

(作用)

バイポーラトランジスタのベース抵抗 r_b は一般に
$$r_b = R_s W_E / 12L + R_s L_{EB} / 2L + (R_s \rho_c)^{1/2} / 2L \cdot \coth(L_B / L_T) \dots\dots\dots (3)$$

と表せる。(3)式において R_s はベース層のシート抵抗、 W_E はエミッタ幅、 L はエミッタ長、 L_{EB} はエ

ミッタメサとベース電極間距離、 ρ_c はベース電極に対する接触抵抗率、 L_B はベース電極幅、 $L_T = (\rho_c / R_s)^{1/2}$ である。従って、 r_b を低減するためには R_s および ρ_c を低減することが必要であるが、実際の素子においては(3)式の右辺第3項の占める割合が非常に大きく、 ρ_c の低減が特に重要な課題である。

ρ_c を低減するために、ベース層のp型不純物濃度を増加させるのが一つの手段である。MBE法は成長膜厚および不純物濃度の制御性・均一性に優れることから、特に化合物半導体のバイポーラトランジスタの結晶成長に非常に有効であるが、MBE法によりベース層を形成する場合、通常、p型不純物として用いられるBeが $\sim 5 \times 10^{19} \text{cm}^{-3}$ 以上の濃度になると、エミッタ側成長結晶中への拡散が増大してしまうという問題がある(ワイ・シー・パオ他(Y. C. Pao et al.)、ジャーナル・オブ・アプライド・フィジクス(Journal of Applied Physics)、60巻、1986年201頁に報告されている)。

上記の問題を解決しつつ ρ_c の低減をはかるためには、外部ベース層とベース電極の間に高不純物

濃度のベースコンタクト層を形成するのが有効である。特に、III族原料に有機金属を使用した分子線エビタキシー法(以降、MOMBE法と称す)を用いれば、 $\sim 10^{21} \text{cm}^{-3}$ のC濃度を有する高濃度p型GaAs層が比較的容易に形成できることが、例えばティ・ヤマダ他(T. Yamada et al.)、ジャーナル・オブ・クリスタル・グロウス(Journal of Crystal Growth)、95巻、1989年、145頁に報告されており、しかも選択成長が可能であることから、このベースコンタクト層の形成に非常に適していると考えられる。

下記の表に異なるp型不純物濃度を有するGaAs層について、オーミック金属(Ti/Pt/AuおよびAuMn/Au)に対する接触抵抗率を測定した結果を示す。

試料	正孔濃度(cm^{-3})	接触抵抗率($\Omega \cdot \text{cm}^2$)	
		Ti/Pt/Au	AuMn/Au
BeドープGaAs	4×10^{19}	4.4×10^{-6}	1.5×10^{-6}
CドープGaAs	1×10^{20}	2.4×10^{-7}	1.8×10^{-7}
CドープGaAs	4×10^{20}	5.4×10^{-8}	5.1×10^{-8}

上表において、BeドーブGaAs層はMBE法、CドーブGaAs層はMOMBE法により形成した。接触抵抗率はいずれもノンアロイの結果である。MOMBE法により高C濃度のp型GaAs層を形成することによって、アロイを行っていないにもかかわらず、非常に低い接触抵抗率が得られることがわかる。

本発明のように、ベース電極とベース層との間に、選択再成長等によりベースコンタクト層を設けた場合に特に問題となるのは、ベース層とベースコンタクト層の接合界面における接触抵抗である。下記にMBE法により形成したBeドーブp-GaAs層(ベース層に相当する)とMOMBE法によりその上に選択再成長したCドーブp-GaAs層(ベースコンタクト層に相当する)との接合界面における接触抵抗率 ρ_{ci} の評価結果を示す。

正孔濃度(cm^{-3})		接 触 抵 抗 率 ($\Omega \cdot \text{cm}^2$)
BeドーブGaAs	CドーブGaAs	
4×10^{19}	1×10^{20}	1.1×10^{-7}
4×10^{19}	4×10^{20}	7.1×10^{-8}

て比較したものである。第6図に示すように、ベース抵抗低減の効果は特にベース電極幅が小さくなるにつれて、即ち、素子が微細化されるにつれて顕著になっており、これはバイポーラトランジスタの特性向上をはかる上で非常に好都合である。

このように、ベース抵抗が著しく低減されるため、さらに、 f_{\max} を劣化させることなくベース層を薄層化して f_T を増大させることが可能となる。また、ベースコンタクト層の厚さをある程度厚くしとやれば、ベース電極金属が拡散してコレクタ層まで到達してしまうような問題も回避できるとともに、エミッタ・ベースを平坦化して配線の段切れを低減することもできる。

(実施例)

以下に、本発明の実施例について図面を用いて説明する。

第1図は本発明の一実施例であるバイポーラトランジスタを説明するための半導体チップの断面図である。

上表より、ベース層とベースコンタクト層の接触抵抗は非常に小さく、従来例におけるベース層とベース電極金属との間の接触抵抗よりも充分に小さい値に抑え得ることがわかる。

以上、説明したように、本発明のバイポーラトランジスタにおいては、ベース抵抗が著しく低減されると期待できる。第5図にベース層厚 W_B とベース抵抗 r_b の関係を求め、本発明と従来のバイポーラトランジスタについて比較して示した。エミッタサイズは $1\mu\text{m} \times 10\mu\text{m}$ 、ベース電極幅は $1.5\mu\text{m}$ 、エミッタメサとベース電極間の距離を $0.2\mu\text{m}$ とし、ベース電極金属としてはTiPtAuを想定してノンアロイの場合について求めた。ベース不純物濃度は $4 \times 10^{19} \text{ cm}^{-3}$ とし、本発明については、ベースコンタクト層(厚さ300nm)の不純物濃度を $4 \times 10^{20} \text{ cm}^{-3}$ とした。第5図より、本発明においてはベース抵抗が著しく低減されていることがわかる。

第6図はベース層厚 W_B が40nmおよび80nmの場合について、ベース電極幅 L_B とベース抵抗 r_b の関係を本発明と従来のバイポーラトランジスタについ

この半導体チップは、GaAsからなる半絶縁性基板1と、n-GaAsからなるコレクタコンタクト層($3 \times 10^{18} \text{ cm}^{-3}$, 400nm)2と、n-GaAsからなるコレクタ層($5 \times 10^{16} \text{ cm}^{-3}$, 400nm)3と、p-GaAsからなるベース層($3 \times 10^{19} \text{ cm}^{-3}$, 50nm)4と、n- $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ からなるエミッタ層($3 \times 10^{17} \text{ cm}^{-3}$, 200nm)5と、n- $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x:0.25 \rightarrow 0$)からなるグレーデッド層($3 \times 10^{17} \text{ cm}^{-3}$, 50nm)6と、n-GaAsからなるエミッタコンタクト層($3 \times 10^{18} \text{ cm}^{-3}$, 50nm)7と、p-GaAsからなるベースコンタクト層($4 \times 10^{20} \text{ cm}^{-3}$, 300nm)8と、AuGeNiからなるエミッタ電極9と、TiPtAuからなるベース電極10と、AuGeNiからなるコレクタ電極11と、 SiO_2 膜12, 13と、絶縁領域14とにより構成されている。

次に、このバイポーラトランジスタの製造方法を説明する。

第2図は製造方法を説明するための工程順に示した半導体チップの断面図である。

まず、第2図(a)に示すように、GaAsからなる半絶縁性基板1上にn-GaAs層2および3、p-GaAs層

4、 $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層5、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ グレーデッド層($x:0.25\rightarrow 0$)6、 $n\text{-GaAs}$ 層7をMBE法により、成長温度 600°C で順次形成した後、バイポーラトランジスタを形成する部分を除いた他の部分に H^+ を注入し絶縁領域14を形成する。

次に、第2図(b)に示すように、 $n\text{-GaAs}$ 層7上にオーミック金属のAuGeNi層9を蒸着し、 SiO_2 膜12と所定のパターンを有するホトレジスト膜15を順次形成した後、このホトレジスト膜15をマスクとして、 SiO_2 膜12を反応性イオンビームエッチング、AuGeNi層9をイオンミリング法により順次、除去する。

次に、第2図(c)に示すように、有機溶剤による洗浄を行ないホトレジスト膜15を除去した後、 SiO_2 膜12をマスクとして、 $n\text{-GaAs}$ 層7、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層6を Cl_2 をエッチングガスに用いた反応性イオンビームエッチングにより除去し、さらに所定の厚さになるまで同様にして $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層5をエッチングする。続いて、全面に SiO_2 膜13を形成した後、これを CF_4 をエッチングガスに用いた反応

性イオンビームエッチングで除去することにより、 $n\text{-GaAs}$ 層7、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層6および $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層5の側面に SiO_2 膜13からなる側壁を形成する。この場合、 SiO_2 膜13の下に薄い $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層5は完全に空乏化することが望ましく、厚さとしては数10nm程度に設定すれば保護層として機能する。その効果については、例えば、羽山他、電子情報通信学会技術報告、ED89-147巻、1989年、67頁に報告されている。また、この薄い $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層5は、ベース層のシート抵抗が SiO_2 膜13の下部において局部的に増大するのを防ぐ機能も果たしている。

次に、第2図(d)に示すように、 SiO_2 膜12および13をマスクとして、リン酸、過酸化水素および水の混合液により $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層5をエッチングして除去し、 $p\text{-GaAs}$ 層4表面を露出した後、トリメチルガリウム($\text{Ga}(\text{CH}_3)_3$)および固体Asを成長原料に用いたMOMBE法により、 SiO_2 12および13をマスクとして、 $p\text{-GaAs}$ 層4上に $p\text{-GaAs}$ 層8を成長温度 450°C で選択的に形成する。続いて、バイポーラ

トランジスタの活性領域を覆う所定のパターンのホトレジスト膜を形成し、それをマスクとして絶縁領域14上の $p\text{-GaAs}$ 層8および4を順次エッチングして除去した後、ホトレジスト膜16を形成し、さらに上方より、TiPtAu層10を蒸着する。

次に、第2図(e)に示すように、有機溶剤による洗浄を行ないホトレジスト膜16を除去した後、所定のパターンのホトレジスト膜17を形成し、ベース電極の幅が所定の値に成るようにする。続いて、ホトレジスト膜17をマスクとしてイオンミリング法によりTiPtAu層10をエッチングして除去し、さらに、リン酸、過酸化水素および水の混合液により $p\text{-GaAs}$ 層8、4および $n\text{-GaAs}$ 層3を順次エッチングにより除去して $n\text{-GaAs}$ 層2表面を露出する。続いて、ホトレジスト膜17をマスクとして $n\text{-GaAs}$ 層2のオーミック金属であるAuGeNi層11を上方から蒸着する。

最後に、有機溶剤中でホトレジスト膜17を溶かしリフトオフを行なって、第1図に示すような構造のバイポーラトランジスタができる。

なお、上述の実施例においては、ベース層が $p\text{-GaAs}$ からなるものについて述べたが、本発明はこれに限定されず、例えば $p\text{-AlGaAs}$ からなるベース層のAl組成を徐々に変化させてグレーデッドベース構造としたもの、 $\text{AlInAs}/\text{InGaAs}$ 系や InP/InGaAs 系ヘテロ接合バイポーラトランジスタの場合のようにベース層が $p\text{-InGaAs}$ からなるもの、あるいは $p\text{-AlInGaAs}$ や $p\text{-InGaAsP}$ 等からなるものについても同様に適用でき、効果は同様である。

また、上述の実施例においては、エミッタアップ型のものについて述べたが、本発明はこれに限定されず、コレクタアップ型のものについても同様に適用できる。

(発明の効果)

以上説明したように本発明によれば、従来、ベース抵抗の多くを占めていたベース層とベース電極金属との間の接触抵抗が著しく低減されるとともに、ベース面出し工程の際のオーバーエッチング等に起因するベース抵抗増大の影響が低減されるため、ベース抵抗を著しく低減させることが

できる。それに伴いベース層の薄膜化が可能となることから、最大発振周波数のみならず遮断周波数をも増大させることができる。その結果、ウエハー全体にわたって高速・高周波特性の優れた化合物半導体バイポーラトランジスタを実現できるといふ効果がある。

図面の簡単な説明

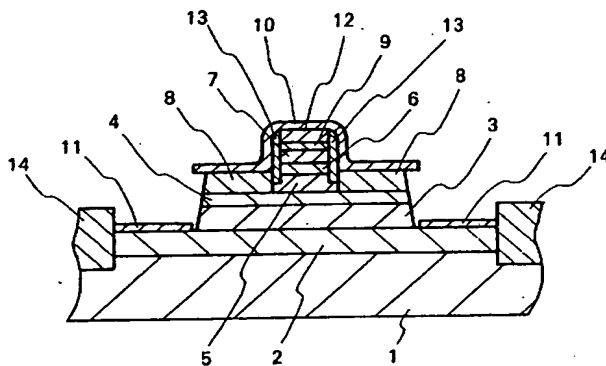
第1図は本発明にかかるバイポーラトランジスタの一実施例の構造を説明するための半導体チップの断面図、第2図(a)~(e)は第1図のバイポーラトランジスタの製造方法を説明するための工程順に示した半導体チップの断面図、第3図は従来のバイポーラトランジスタの構造を説明するための半導体チップの断面図、第4図(a)~(c)は第3図のバイポーラトランジスタの製造方法を説明するための工程順に示した半導体チップの断面図、第5図は本発明および従来のバイポーラトランジスタにおけるベース抵抗とベース層厚との関係を示すための図、第6図は本発明および従来のバイポーラトラン

ジスタにおけるベース抵抗とベース電極幅との関係を示すための図である。

各図において、1…半絶縁性基板(GaAs)、2…n-GaAsコレクタコンタクト層、3…n-GaAsコレクタ層、4…p-GaAsベース層、5…n-Al_{0.25}Ga_{0.75}Asエミッタ層、6…n-Al_xGa_{1-x}Asグレーデッド層(x:0.25→0)、7…n-GaAsエミッタコンタクト層、8…p-GaAsベースコンタクト層、9…AuGeNiエミッタ電極、10…TiPtAuベース電極、11…AuGeNiコレクタ電極、12,13…SiO₂膜、14…絶縁領域、15,16,17…ホトレジスト膜、18…AuZnNi層。

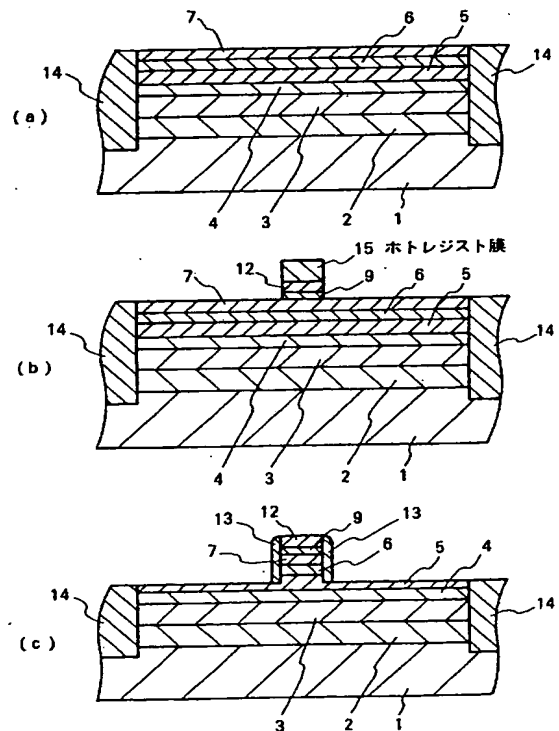
代理人 弁理士 内原 晋

第 1 図

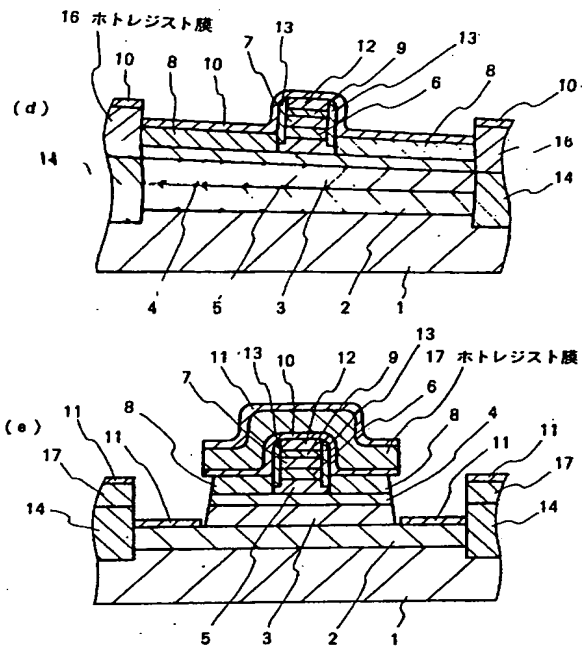


- 1 : 半絶縁性基板 (GaAs)
- 2, 3, 7 : n-GaAs層
- 4, 8 : p-GaAs層
- 5 : n-Al_{0.25}Ga_{0.75}As層
- 6 : n-Al_xGa_{1-x}As層 (x: 0.25→0)
- 9, 11 : AuGeNi
- 10 : TiPtAu
- 12, 13 : SiO₂膜
- 14 : 絶縁領域

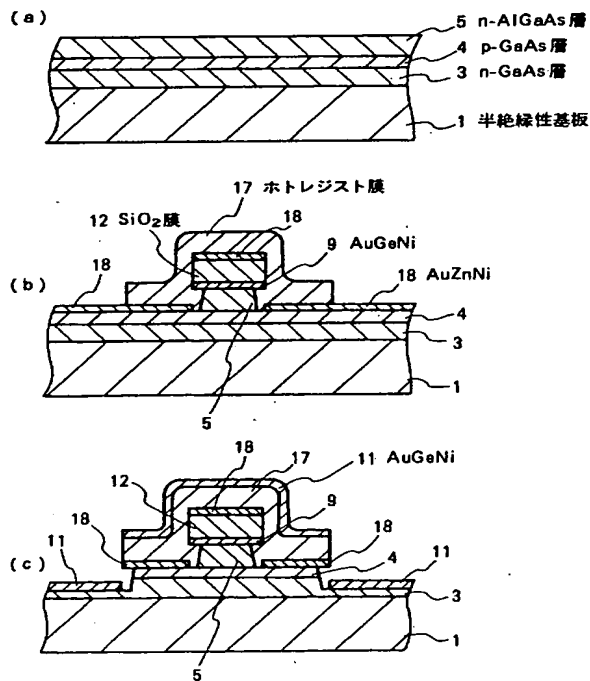
第 2 図



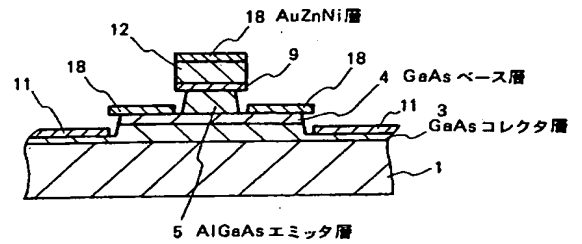
第 2 図



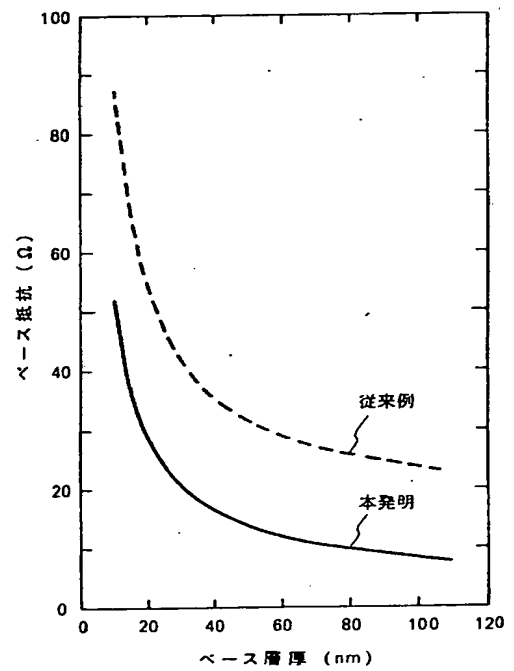
第 4 図



第 3 図



第 5 図



第 6 図

